

1/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

015522998 **Image available**

WPI Acc No: 2003-585145/200355

XRPX Acc No: N03-465809

Master slice type semiconductor integrated circuit has multiplexers which are arranged on semiconductor chip, such that load and wiring lengths between sequential circuit cells and clock signal input terminals, are equal

Patent Assignee: NEC CORP (NIDE); NEC ELECTRONICS CORP (NIDE)

Inventor: MAEDA N; MIZUNO M; SAKAI S

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20030051221	A1	20030313	US 2002230197	A	20020829	200355 B
JP 2003152082	A	20030523	JP 2002133647	A	20020509	200355
GB 2382923	A	20030611	GB 200220079	A	20020829	200355

Priority Applications (No Type Date): JP 2002133647 A 20020509; JP 2001259136 A 20010829

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20030051221	A1		25	G06F-017/50	
JP 2003152082	A		14	H01L-021/82	
GB 2382923	A			H01L-027/118	

Abstract (Basic): US 20030051221 A1

NOVELTY - The sequential and combinational circuit cells (2,3) are alternately arranged in an inner core area of a semiconductor chip (1). The multiplexers (MC101-MC108, MC201- MC216, MC301-MC316) which selectively distribute polyphase clock signals to the divided inner core areas (Areal-Area61), are arranged on the chip, such that load and wiring lengths between the polyphase clock signal input terminals and sequential circuit cells within the respective divided inner core areas, are equal.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for layout method of master slice type semiconductor integrated circuit.

USE - Master slice type semiconductor integrated circuit (IC).

ADVANTAGE - Reduces clock skew between the circuits. The electric power consumed by the non-used sequential circuit cell, is reduced, hence power consumption of the IC is reduced.

DESCRIPTION OF DRAWING(S) - The figure shows the plan view of the master slice type semiconductor integrated circuit.

semiconductor chip (1)

sequential circuit cells (2)

combinational circuit cells (3)

divided inner core areas (Areal-Area61)

multiplexers (MC101-MC108, MC201-MC216, MC301-MC316)

pp; 25 DwgNo 4/17

Title Terms: MASTER; SLICE; TYPE; SEMICONDUCTOR; INTEGRATE; CIRCUIT;

MULTIPLEX; ARRANGE; SEMICONDUCTOR; CHIP; LOAD; WIRE; LENGTH; SEQUENCE;

CIRCUIT; CELL; CLOCK; SIGNAL; INPUT; TERMINAL; EQUAL

Derwent Class: U13; U21

International Patent Class (Main): G06F-017/50; H01L-021/82; H01L-027/118

International Patent Class (Additional): H01L-021/44; H01L-021/822;

H01L-023/52; H01L-027/04; H03K-017/693

File Segment: EPI

1/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

07658224 **Image available**
SEMICONDUCTOR INTEGRATED DEVICE AND ITS LAYOUT METHOD

PUB. NO.: 2003-152082 A]
PUBLISHED: May 23, 2003 (20030523)
INVENTOR(s): MIZUNO MASAHARU
SAKAI SHIGEKI
MAEDA NAOTAKA
APPLICANT(s): NEC CORP
APPL. NO.: 2002-133647 [JP 20022133647]
FILED: May 09, 2002 (20020509)
PRIORITY: 2001-259136 [JP 2001259136], JP (Japan), August 29, 2001
(20010829)
INTL CLASS: H01L-021/82; H01L-021/822; H01L-027/04; H01L-027/118

ABSTRACT

PROBLEM TO BE SOLVED: To provide a master slice semiconductor integrated circuit which is adaptive to a polyphase clock and can reduce clock skew between circuits and power consumption.

SOLUTION: The semiconductor integrated circuit has sequential circuit cells 2 and combination circuit cells 3 arranged alternately in internal core areas on a semiconductor chip; and selective driving elements MC101 to MC108, MC201 to MC216, and MC301 to MC316 which selectively distribute the polyphase clock signal by divided areas formed by equally dividing the internal core area and are connected in a tree shape. The selective driving elements are so arranged and connected as to have equal loads and equal wiring lengths from an input terminal for inputting the polyphase clock signal to the semiconductor chip to the sequential circuit cells in the respective divided areas.

COPYRIGHT: (C)2003,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-152082

(P2003-152082A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl.⁷

H 0 1 L 21/82
21/822
27/04
27/118

識別記号

F I

H 0 1 L 21/82

データベース(参考)

W 5 F 0 3 8
M 5 F 0 6 4
C
D
A

27/04

審査請求 有 請求項の数 8 O L (全 14 頁) 最終頁に続く

(21)出願番号 特願2002-133647(P2002-133647)

(22)出願日 平成14年5月9日(2002.5.9)

(31)優先権主張番号 特願2001-259136(P2001-259136)

(32)優先日 平成13年8月29日(2001.8.29)

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 水野 雅春

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 堀 茂樹

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100102864

弁理士 工藤 実 (外1名)

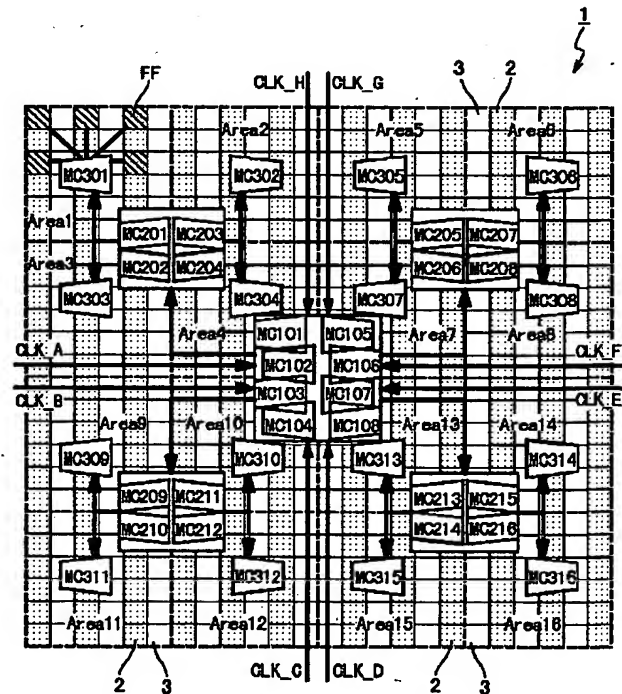
最終頁に続く

(54)【発明の名称】 半導体集積回路とそのレイアウト方法

(57)【要約】

【課題】多相クロックに対応できると共に回路間のクロックスキューを低減でき、また、消費電力を低減できるマスタースライス方式の半導体集積回路を提供する。

【解決手段】半導体チップ上の内部コア領域に交互に配置された順序回路セル2と組合せ回路セル3と、内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する、ツリー状に接続された複数の選択駆動素子MC101~MC108, MC201~MC216, MC301~MC316とを有し、複数の選択駆動素子は、半導体チップに多相クロック信号が入力される入力端子から各分割領域内の順序回路セルまでの間が互いに等負荷・等配線長となるように配置され接続されている。



【特許請求の範囲】

【請求項 1】 マスタースライス方式の半導体集積回路において、
半導体チップ上の内部コア領域に交互に配置された順序回路セルと組合せ回路セルと、
前記内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する、ツリー状に接続された複数の選択駆動素子とを有し、
前記複数の選択駆動素子は、前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの間が互いに等負荷・等配線長となるように配置され接続されることを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、
前記順序回路セルは、
前記多相クロック信号が入力されるクロック入力部の初段に配置される第 1 の論理ゲート素子と、
この第 1 の論理ゲート素子の直後に配置される第 2 の論理ゲート素子とを備え、
使用する順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間を配線接続し、
使用しない順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間を未配線として、前記第 2 の論理ゲート素子の入力端子を電源又は接地と接続することを特徴とする半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路において、
前記順序回路セルは、
前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第 1 の状態と前記多相クロック信号に関係なく出力電位が一定となる第 2 の状態とをイネーブル信号によって選択可能な第 1 の論理ゲート素子と、
入力端子が前記第 1 の論理ゲート素子の出力端子と接続される第 2 の論理ゲート素子とを備え、
使用する順序回路セルについては前記第 1 の論理ゲート素子が前記第 1 の状態となるよう前記イネーブル信号を設定し、
使用しない順序回路セルについては前記第 1 の論理ゲート素子が前記第 2 の状態となるよう前記イネーブル信号を設定することを特徴とする半導体集積回路。

【請求項 4】 請求項 1 記載の半導体集積回路において、
前記複数の選択駆動素子の中の 1 つの選択駆動素子により前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記 1 つの選択駆動素子から他の選択駆動素子を介して前記多相クロック信

号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記 1 つの選択駆動素子の出力を抑止することを特徴とする半導体集積回路。

【請求項 5】 マスタースライス方式の半導体集積回路のレイアウト方法において、
半導体チップ上の内部コア領域に順序回路セルと組合せ回路セルとを配置する手順と、
前記内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する複数の選択駆動素子をツリー状に配置して接続する手順とを有し、
前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの間が互いに等負荷・等配線長となるように、前記複数の選択駆動素子を配置して接続することを特徴とする半導体集積回路のレイアウト方法。

【請求項 6】 請求項 5 記載の半導体集積回路のレイアウト方法において、
前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置される第 1 の論理ゲート素子と、この第 1 の論理ゲート素子の直後に配置される第 2 の論理ゲート素子との間が未配線のまま形成され、
使用する順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間が配置配線工程で接続され、
使用しない順序回路セルについては前記第 1 の論理ゲート素子の出力端子と前記第 2 の論理ゲート素子の入力端子間を未配線のままとして、前記第 2 の論理ゲート素子の入力端子が電源又は接地と配置配線工程で配線接続されることを特徴とする半導体集積回路のレイアウト方法。

【請求項 7】 請求項 5 記載の半導体集積回路のレイアウト方法において、
前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第 1 の状態と前記多相クロック信号に関係なく出力電位が一定となる第 2 の状態とをイネーブル信号によって選択可能な第 1 の論理ゲート素子と、入力端子が前記第 1 の論理ゲート素子の出力端子と接続される第 2 の論理ゲート素子とを備え
使用する順序回路セルについては前記第 1 の論理ゲート素子が前記第 1 の状態となるよう前記イネーブル信号の値が配置配線工程で設定され、
使用しない順序回路セルについては前記第 1 の論理ゲート素子が前記第 2 の状態となるよう前記イネーブル信号の値が配置配線工程で設定されることを特徴とする半導体集積回路のレイアウト方法。

【請求項 8】 請求項 5 記載の半導体集積回路のレイアウト方法において、
前記複数の選択駆動素子の中の 1 つの選択駆動素子により前記多相クロック信号が分配される前記分割領域内に

配置された前記順序回路セル、又は前記1つの選択駆動素子から他の選択駆動素子を介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記1つの選択駆動素子の出力を抑止することを特徴とする半導体集積回路のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線工程を除く工程まで共通に形成され、配線工程のみを変えることによって各種論理回路が構成されるマスタースライス方式の半導体集積回路に関するものである。

【0002】

【従来の技術】従来、短時間でLSI等の半導体集積回路を設計する技術としてセミカスタム設計手法がある。特に、この手法には、論理ゲート、フリップフロップ等の基本レベルの機能を有するセルを作り込んだマスタースライスを予め作成しておき、その後は利用者が個別に与えられた論理回路に従って配線パターンを決定して所望の半導体集積回路を実現していくマスタースライス方式がある。

【0003】図15(a)は従来のマスタースライス方式の半導体集積回路のチップ構造を示す平面図、図15(b)は図15(a)の半導体集積回路のトランジスタセルを拡大した平面図である。従来のマスタースライス方式の半導体集積回路101は、図15(b)のような構造を有する同一デイメンジョンのトランジスタセル102をチップ上に行列的に配置したアレイ構造をしている。図15(b)において、103はゲート電極、104は拡散層である。

【0004】また、従来のマスタースライス方式の半導体集積回路において、チップ上の各回路へのクロック信号の分配は、クロックツリーと呼ばれるクロックバッファのツリー構造によって分配されている。図16は従来のマスタースライス方式の半導体集積回路におけるクロック分配方法を示す平面図である。

【0005】クロックバッファのツリー構造は、中央の第1のクロックバッファ105から複数の第2のクロックバッファ106へクロック信号CLKを分配し、第2のクロックバッファ106から複数の第3のクロックバッファ107へクロック信号CLKを分配して、さらに第3のクロックバッファ107から例えばフリップフロップ等の回路108へクロック信号CLKを分配している。順序回路や組合せ回路はチップ上に自由に配置され、クロック相数も必要に応じて前記ツリー構造で分配される。

【0006】他のマスタースライス方式の半導体集積回路としては、特開平6-188397号公報に開示されたものがある。図17は特開平6-188397号公報に開示されたマスタースライス方式の半導体集積回路の

チップ構造を示す平面図である。この半導体集積回路201は、チップ上に基本セルを行列的に配置した内部コア領域Aを設け、さらに順序回路専用のセル領域Cを設けることで、内部コア領域Aが複数の基本セル領域Dに分割された構造を有している。順序回路専用セル領域Cには、高駆動クロックバッファが作り込まれると共に、各基本セルが最短距離で接続可能な位置に隣接して作り込まれる。また、順序回路以外の組合せ回路などは基本セル領域D内の領域Eに配置される。

10 【0007】

【発明が解決しようとする課題】図15、図16に示したマスタースライス方式の半導体集積回路では、順序回路がランダムに配置されるため、各クロックバッファに接続される順序回路の数やクロックバッファから順序回路までの配線長が異なり、各クロックバッファの負荷容量や各順序回路までの配線抵抗が不均一な状態になっていた。このため、従来の半導体集積回路では、各順序回路間のクロックスキューが大ききという問題点があった。特に、大きなマクロなどがある場合、クロック配線がマクロ領域を迂回することになるため、前記不均一な状態はより顕著となる。また、各セルのトランジスタデイメンジョンが同じであるため、順序回路のクロックゲート部のゲート容量がセルベース用のブロックに比べて大きく、消費電力の増加を招いているという問題点があった。

【0008】一方、図17に示したマスタースライス方式の半導体集積回路では、順序回路をクロックドライバ近傍の専用領域に固めて配置しているだけであり、順序回路の数が増えれば、その面積が増大し、結果として最も近傍の順序回路と最も遠い順序回路間の距離は離れ、配線抵抗による影響が大きくなるため、各順序回路間のクロックスキューが大きくなるという問題点があった。特に、回路全体の順序回路規模が大きくなるほど、クロックスキューは増大する。また、カスタム設計で予め順序回路個数が分かっている場合であれば、各クロックバッファに均等に順序回路を割り付けることが可能であるが、ゲートアレイのようなセミカスタム設計に図17の構成を適用しようとした場合、各クロックバッファに均等に順序回路を割り付けることは難しく、逆にマージンを見込んで余分に順序回路を割り付けておくと、クロックバッファの負荷容量（配線容量とゲート容量）が増加して、消費電力が増加するという問題点があった。また、多相クロックに対応しようすると、順序回路専用領域の設定が困難になり、更に消費電力の無駄が大きくなる。

【0009】本発明は、上記課題を解決するためになされたもので、多相クロックに対応することができ、回路間のクロックスキューを低減することができるマスタースライス方式の半導体集積回路を提供することを目的とする。また、本発明は、消費電力を低減することができ

るマスタースライス方式の半導体集積回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体集積回路は、半導体チップ上の内部コア領域に交互に配置された順序回路セル(2)と組合せ回路セル(3)と、前記内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する、ツリー状に接続された複数の選択駆動素子(MC101~MC108, MC201~MC216, MC301~MC316)とを有し、前記複数の選択駆動素子は、前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの間が互いに等負荷・等配線長となるように配置され接続されるものである。また、本発明の半導体集積回路の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置される第1の論理ゲート素子(INV2)と、この第1の論理ゲート素子の直後に配置される第2の論理ゲート素子(INV3)とを備え、使用する順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間を配線接続し、使用しない順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間を未配線として、前記第2の論理ゲート素子の入力端子を電源又は接地と接続するものである。また、本発明の半導体集積回路の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第1の状態と前記多相クロック信号に関係なく出力電位が一定となる第2の状態とをイネーブル信号によって選択可能な第1の論理ゲート素子(NAND1)と、入力端子が前記第1の論理ゲート素子の出力端子と接続される第2の論理ゲート素子(INV3)とを備え、使用する順序回路セルについては前記第1の論理ゲート素子が前記第1の状態となるよう前記イネーブル信号を設定し、使用しない順序回路セルについては前記第1の論理ゲート素子が前記第2の状態となるよう前記イネーブル信号を設定するものである。また、本発明の半導体集積回路の1構成例において、前記複数の選択駆動素子の中の1つの選択駆動素子により前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記1つの選択駆動素子から他の選択駆動素子を介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記1つの選択駆動素子の出力を抑止するように構成できる。

【0011】また、本発明の半導体集積回路のレイアウト方法は、半導体チップ上の内部コア領域に順序回路セルと組合せ回路セルとを配置する手順と、前記内部コア領域を均等に分割した分割領域毎に多相クロック信号を

選択的に分配する複数の選択駆動素子をツリー状に配置して接続する手順とを有し、前記半導体チップに前記多相クロック信号が入力される入力端子から各分割領域内の前記順序回路セルまでの間が互いに等負荷・等配線長となるように、前記複数の選択駆動素子を配置して接続するようにしたものである。また、本発明の半導体集積回路のレイアウト方法の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置される第1の論理ゲート素子と、この第1の論理ゲート素子の直後に配置される第2の論理ゲート素子との間が未配線のまま形成され、使用する順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間が配置配線工程で接続され、使用しない順序回路セルについては前記第1の論理ゲート素子の出力端子と前記第2の論理ゲート素子の入力端子間を未配線のままとして、前記第2の論理ゲート素子の入力端子が電源又は接地と配置配線工程で配線接続されるようにしたものである。また、本発明の半導体集積回路のレイアウト方法の1構成例において、前記順序回路セルは、前記多相クロック信号が入力されるクロック入力部の初段に配置され、前記多相クロック信号に応じて出力電位が決まる第1の状態と前記多相クロック信号に関係なく出力電位が一定となる第2の状態とをイネーブル信号によって選択可能な第1の論理ゲート素子と、入力端子が前記第1の論理ゲート素子の出力端子と接続される第2の論理ゲート素子とを備え使用する順序回路セルについては前記第1の論理ゲート素子が前記第1の状態となるよう前記イネーブル信号の値が配置配線工程で設定され、使用しない順序回路セルについては前記第1の論理ゲート素子が前記第2の状態となるよう前記イネーブル信号の値が配置配線工程で設定されるようにしたものである。また、本発明の半導体集積回路のレイアウト方法の1構成例において、前記複数の選択駆動素子の中の1つの選択駆動素子により前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セル、又は前記1つの選択駆動素子から他の選択駆動素子を介して前記多相クロック信号が分配される前記分割領域内に配置された前記順序回路セルが使用されない場合に、前記1つの選択駆動素子の出力を抑止するように構成できる。

【0012】

【発明の実施の形態】〔第1の実施の形態〕以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施の形態に係るマスタースライス方式の半導体集積回路のチップ構造を示す平面図である。本実施の形態のマスタースライス方式の半導体集積回路1では、出力が現在の入力のみでは定まらず入力の過去の履歴に依存する順序回路(Sequential Circuit)セル2と、出力が現在の入力のみで定まらる組合せ回路(Combinational Circuit)セル3とが

半導体チップ上の内部コア領域内に交互に配置されている。

【0013】さらに、本実施の形態では、図1に示すように、内部コア領域は、ほぼ均等な大きさの16個の分割領域Area1, Area2, Area3, Area4, Area5, Area6, Area7, Area8, Area9, Area10, Area11, Area12, Area13, Area14, Area15, Area16に分割されている。

【0014】そして、各分割領域Area1~Area16に多相クロック信号CLK_A, CLK_B, CLK_C, CLK_D, CLK_E, CLK_F, CLK_G, CLK_Hを選択的に分配可能にすべく、クロック分配用高駆動マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316を用いた等負荷・等配線長のクロックツリー構造が形成されている。マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316は、複数の入力の中から何れか1つを選択して出力する。

【0015】クロックツリー構造は、各デザインでどの順序回路セル2が使用されるかどうかによって依存せず、あらかじめ汎用的に形成される。例えば、図1に示すように、チップの中央部にマルチプレクサMC101~MC108が配置され、4つの分割領域Area1~Area4の中央部にマルチプレクサMC201~MC204が配置され、4つの分割領域Area5~Area8の中央部にマルチプレクサMC205~MC208が配置され、4つの分割領域Area9~Area12の中央部にマルチプレクサMC209~MC212が配置され、4つの分割領域Area13~Area16の中央部にマルチプレクサMC213~MC216が配置される。さらに、分割領域Area1~Area16の各々の中央部付近にマルチプレクサMC301~MC316が1つずつ配置される。

【0016】図2~図5は前記クロックツリー構造の回路構成を示す回路図である。多相クロック信号CLK_A~CLK_Hは、外部からマルチプレクサMC101~MC108に共通に分配される。マルチプレクサMC101~MC104の各出力はマルチプレクサMC201~MC208に共通に分配され、マルチプレクサMC105~MC108の各出力はマルチプレクサMC209~MC216に共通に分配される。

【0017】さらに、マルチプレクサMC201, MC202の各出力はマルチプレクサMC301, MC302に共通に分配され、マルチプレクサMC203, MC204の各出力はマルチプレクサMC303, MC304に共通に分配され、マルチプレクサMC205, MC206の各出力はマルチプレクサMC305, MC306に共通に分配され、マルチプレクサMC207, MC208の各出力はマルチプレクサMC307, MC308に共通に分配され、マルチプレクサMC209, MC210の各出力はマルチプレクサMC309, MC310に共通に分配され、マルチプレクサMC211, MC212の各出力はマルチプレクサMC311, MC312に共通に分配され、マルチプレクサMC213, MC214の各出力はマルチプレクサMC313, MC314に共通に分配され、マルチプレクサMC215, MC216の各出力はマルチプレクサMC315, MC316に共通に分配される。

8に共通に分配され、マルチプレクサMC209, MC210の各出力はマルチプレクサMC309, MC310に共通に分配され、マルチプレクサMC211, MC212の各出力はマルチプレクサMC311, MC312に共通に分配され、マルチプレクサMC213, MC214の各出力はマルチプレクサMC313, MC314に共通に分配され、マルチプレクサMC215, MC216の各出力はマルチプレクサMC315, MC316に共通に分配される。

【0018】マルチプレクサMC301の出力は、分割領域Area1内の順序回路セル2に分配される。図1では、フリップフロップ(FF)にマルチプレクサMC301の出力が分配されている。同様に、マルチプレクサMC302~MC316の出力は、それぞれ分割領域Area2~Area16内の順序回路セル2に分配される。

【0019】外部からマルチプレクサMC101~MC108に多相クロック信号CLK_A~CLK_Hを供給する各配線は、マルチプレクサMC101~MC108までの配線長が互いに等しくなるように配設される。マルチプレクサMC101~MC108の出力をマルチプレクサMC201~MC216に供給する各配線は、マルチプレクサMC201~MC216までの配線長が互いに等しくなるように配設される。

【0020】また、マルチプレクサMC201~MC216の出力をマルチプレクサMC301~MC316に供給する各配線は、マルチプレクサMC301~MC316までの配線長が互いに等しくなるように配設される。さらに、マルチプレクサMC301~MC316の出力を順序回路セル2に供給する各配線は、順序回路セル2までの配線長が互いに等しくなるように配設される。

【0021】マルチプレクサMC101~MC108には外部から3つの制御信号S0, S1, S2が与えられ、マルチプレクサMC201~MC216には2つの制御信号S0, S1が与えられ、マルチプレクサMC301~MC316には制御信号S0が与えられる。なお、制御信号の符号をマルチプレクサ毎に変えると、記載に要する図面スペースが大幅に増えるため、図2~図5では制御信号をS0, S1, S3の3つのみで表しているが、制御信号S0, S1, S3はマルチプレクサ毎に異なるものである。

【0022】次に、本実施の形態の半導体集積回路のクロックツリー構造の動作について説明する。本実施の形態では、マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316を通じて各分割領域Area1~Area16に多相クロック信号CLK_A~CLK_Hを選択的に分配することができる。

【0023】図6は、クロック分配用高駆動マルチプレ

クサMC101~MC108, MC201~MC216, MC301~MC316の制御信号S0, S1, S3とチップ上の各分割領域Area1~Area16に分配されるクロック信号との関係を示す図である。ただし、図6では、マルチプレクサMC101~MC104, MC201~MC204, MC301~MC304の制御信号S0, S1, S3と分割領域Area1~Area4に分配されるクロック信号についてのみ記載している。

【0024】マルチプレクサMC101~MC108は、制御信号S0, S1, S3が「000」のときクロック信号CLK_Aを選択して出力する。同様に、マルチプレクサMC101~MC108は、制御信号S0, S1, S3が「001」のときCLK_B、「010」のときCLK_C、「011」のときCLK_D、「100」のときCLK_E、「101」のときCLK_F、「110」のときCLK_G、「111」のときCLK_Hを選択して出力する。

【0025】MC201~MC216は、制御信号S0, S1が「00」のとき1番目の入力（例えばMC201の場合、MC101の出力）を選択して出力する。同様に、MC201~MC216は、制御信号S0, S1が「01」のとき2番目の入力（MC201の場合、MC102の出力）、「10」のとき3番目の入力（MC201の場合、MC103の出力）、「11」のとき4番目の入力（MC201の場合、MC104の出力）を選択して出力する。

【0026】MC301~MC316は、制御信号S0が「0」のとき1番目の入力（例えばMC301の場合、MC201の出力）を選択して出力し、制御信号S0が「1」のとき2番目の入力（MC301の場合、MC202の出力）を選択して出力する。

【0027】したがって、図6のように各マルチプレクサMC101~MC104, MC201~MC204, MC301~MC304の制御信号S0, S1, S3の値を設定すれば、分割領域Area1, Area2にクロック信号CLK_A又はCLK_B、分割領域Area3, Area4にクロック信号CLK_C又はCLK_Dを選択的に分配することができる。その他のマルチプレクサMC105~MC108, MC205~MC216, MC305~MC316についても同様の制御が可能であり、分割領域Area5~Area16に多相クロック信号CLK_A~CLK_Hを選択的に分配することができる。

【0028】なお、多相クロック信号CLK_A~CLK_Hのうちどのクロック信号をどの分割領域に分配するかは、半導体集積回路の仕様によって決まる。そして、制御信号S0, S1, S3の設定は、チップ上に順序回路セル2及び組合せ回路セル3を形成した後の配線工程時に行われる。すなわち、値を「1」に設定する

制御信号については電源につなぐ配線パターンを形成し、値を「0」に設定する制御信号については接地につなぐ配線パターンを形成すればよい。

【0029】次に、未使用の余剰順序回路セル2の処理について説明する。図7(a)は順序回路セル2の1構成例を示す回路図、図7(b)は図7(a)の順序回路セル2の回路記号を示す図である。図7に示す順序回路セル2はD型フリップフロップであり、インバータINV1~INV8と、トランスマッションゲートTG1~TG4とから構成される。

【0030】本実施の形態では、チップ上に順序回路セル2及び組合せ回路セル3を形成する段階では、各順序回路セル2のクロック入力部の初段ゲート（インバータINV2）の出力端子と、その後段ゲート（インバータINV3）の入力端子との間を未配線（図7(a)の破線部）としておく。

【0031】各順序回路セル2を使用するか否かは半導体集積回路の仕様により異なる。使用する順序回路セル2については、配置配線工程で、クロック入力部の初段ゲートINV2の出力端子と後段ゲートINV3の入力端子間をつなぐ配線パターンを形成する。一方、使用しない順序回路セル2については、クロック入力部の初段ゲートINV2の出力端子と後段ゲートINV3の入力端子間を未配線のままとし、後段ゲートINV3の入力端子CBを電源又は接地につなぐ配線パターンを配置配線工程時に形成する。

【0032】こうして、使用される順序回路セル2のクロック入力部では、図8(a)に示すように、クロック信号CLK（CLK_A~CLK_H）に応じて後段ゲートINV3の入力端子CB及び出力端子Cの電位が変化する。一方、未使用の順序回路セル2のクロック入力部では、図8(b)に示すように、後段ゲートINV3の入力端子CB及び出力端子Cの電位が不変となり、クロック信号CLKに応じたスイッチング動作は行われな

い。

【0033】各マルチプレクサMC301~MC316から見た負荷は順序回路セル2のクロック入力部の初段ゲートなので、各マルチプレクサMC301~MC316に順序回路セル2を均等に割りつけておけば、各マルチプレクサMC301~MC316と接続されるゲート数が同一となり、フローティングゲートを発生させることなく、各マルチプレクサMC301~MC316の負荷を等しくすることができる。

【0034】また、本実施の形態では、使用しない余剰順序回路セル2のクロック入力部の初段ゲートの出力端子と後段ゲートの入力端子間を未配線とすることにより、この余剰順序回路セル2では、図9の斜線を施したインバータINV3、トランスマッションゲートTG1~TG4が非負荷トランジスタとなるので、使用するか否かに関係なく全ての順序回路セルが負荷となる従来の

半導体集積回路と比べて消費電力を低減することができる。

【0035】なお、本実施の形態では、クロック信号の相数を8、マルチプレクサMC101~MC108, MC201~MC216, MC301~MC316の入力信号数をそれぞれ8, 4, 2、クロックツリー段数を3、チップの分割領域数を16としているが、これに限るものではないことは言うまでもない。また、本実施の形態では、クロックツリーの全てをマルチプレクサで構成しているが、これに限るものではなく、マルチプレクサの代わりに一部をクロックバッファにしてもよい。

【0036】また、本実施の形態では、順序回路セル2と組合せ回路セル3とを1列毎に交互に配置しているが、順序回路セル2と組合せ回路セル3とを1行毎に交互に配置してもよく、また順序回路セル2と組合せ回路セル3とを市松模様配置してもよい。なお、順序回路セル2と組合せ回路セル3とを交互に配置するのは、順序回路セル2を分割領域内に均一に配置して、マルチプレクサからの配線長を等しくするためである。

【0037】〔第2の実施の形態〕図10(a)は本発明の第2の実施の形態となる順序回路セル2の回路図、図10(b)は図10(a)の順序回路セル2の回路記号を示す図であり、図7と同様の構成には同一の符号を付してある。図10に示す順序回路セル2はイネーブル機能付きのD型フリップフロップであり、インバータINV1, INV3~INV8と、トランスミッションゲートTG1~TG4と、否定論理積ゲートNAND1とから構成される。

【0038】本実施の形態では、第1の実施の形態と異なり、チップ上に順序回路セル2及び組合せ回路セル3を形成する段階で、各順序回路セル2のクロック入力部の初段ゲートNAND1の出力端子とその後段ゲートINV3の入力端子とを接続しておく。そして、使用する順序回路セル2については、配置配線工程時に、クロックイネーブル信号CLK_ENが「1」となる配線パターン（電源に接続される配線パターン）を形成し、使用しない余剰順序回路セル2については、クロックイネーブル信号CLK_ENが「0」となる配線パターン（接地に接続される配線パターン）を形成する。

【0039】これにより、使用される順序回路セル2のクロック入力部では、図11(a)に示すように、クロック信号CLK(CLK_A~CLK_H)に応じて、後段ゲートINV3の入力端子CB及び出力端子Cの電位が変化する。一方、未使用の順序回路セル2のクロック入力部では、図11(b)に示すように、後段ゲートINV3の入力端子CB及び出力端子Cの電位が不変となり、クロック信号CLKに応じたスイッチング動作は行われない。

【0040】この結果、未使用の余剰順序回路セル2では、図12の斜線を施したインバータINV3、トラン

スミッションゲートTG1~TG4が非負荷トランジスタとなる。こうして、第1の実施の形態と同様に、低スキューで、低消費電力という効果が得られる。

【0041】なお、本実施の形態では、クロック入力部の初段ゲートに否定論理積ゲートを用いたが、これに限るものではなく、否定論理和ゲートを用いてもよい。否定論理和ゲートを用いる場合は、使用する順序回路セル2についてはクロックイネーブル信号CLK_ENを「0」とし、使用しない余剰順序回路セル2についてはクロックイネーブル信号CLK_ENを「1」とすればよい。ただし、第1の実施の形態とクロックの位相を揃える必要が有る場合には、否定論理和ゲートのクロック入力の前又は出力にインバータを1段設ける必要がある。

【0042】〔第3の実施の形態〕上述した第1及び第2の実施の形態に係る半導体集積回路では、未使用の順序回路セル2は、その内部において、入力されるクロック信号が後段ゲート（インバータINV2）に伝達するのを阻止することにより該順序回路セル2の動作を停止させる。これに対し、この第3の実施の形態に係る半導体集積回路では、クロックツリー構造を形成するマルチプレクサの出力を抑止することにより、該マルチプレクサより下流側に接続された全ての順序回路セル2の動作を停止させる。

【0043】この第3の実施の形態でクロック分配用として使用されるマルチプレクサは、図14に示すように、第1及び第2の実施の形態で使用されたマルチプレクサにイネーブル端子ENが追加されることにより構成されている。このイネーブル端子ENは、ストップ条件により制御される。

【0044】図14(a)は、イネーブル端子ENを備えた8入力1出力のマルチプレクサを示し、マルチプレクサMC101~108として使用される。このマルチプレクサは、イネーブル端子ENにストップ条件として「1」が与えられた場合に、制御信号S0~S2に従って8個の入力信号の何れかを選択して出力する。一方、イネーブル端子ENにストップ条件として「0」が与えられた場合は、制御信号S0~S2に拘わらず、常に「0」を出力する。

【0045】図14(b)は、イネーブル端子ENを備えた4入力1出力のマルチプレクサを示し、マルチプレクサMC201~MC216として使用される。このマルチプレクサは、イネーブル端子ENにストップ条件として「1」が与えられた場合に、制御信号S0及びS1に従って4個の入力信号の何れかを選択して出力する。一方、イネーブル端子ENにストップ条件として「0」が与えられた場合は、制御信号S0及びS1に拘わらず、常に「0」を出力する。

【0046】図14(c)は、イネーブル端子ENを備えた2入力1出力のマルチプレクサを示し、マルチプレ

クサMC301~MC316として使用される。このマルチプレクサは、イネーブル端子ENにストップ条件として「1」が与えられた場合に、制御信号S0に従って2個の入力信号の何れかを選択して出力する。一方、イネーブル端子ENにストップ条件として「0」が与えられた場合は、制御信号S0に拘わらず、常に「0」を出力する。

【0047】今、図13に示すように、分割領域Area1及びArea2、Area6、並びにArea13~Area16（斜線で示す部分）に存在する全ての順序回路セル2が未使用であるとする。

【0048】この場合、2つの分割領域Area1及びArea2の順序回路セル2を駆動するためのマルチプレクサMC201及びMC202の出力が抑止される。この抑止は、図14（b）に示すように構成されたマルチプレクサMC201及び202のイネーブル端子ENに「0」を与えることにより行われる。これにより、分割領域Area1及びArea2へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、これら分割領域Area1及びArea2の中の全ての順序回路セル2の動作が停止される。なお、マルチプレクサMC301及びMC302の出力を抑止することによっても上記と同様の動作を行わせることができる。

【0049】また、1つの分割領域Area6の順序回路セル2を駆動するためのマルチプレクサMC306の出力が抑止される。この抑止は、図14（c）に示すように構成されたマルチプレクサMC306のイネーブル端子ENに「0」を与えることにより行われる。これにより、分割領域Area6へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、この分割領域Area6の中の全ての順序回路セル2の動作が停止される。

【0050】更に、4つの分割領域Area13~Area16の順序回路セル2を駆動するマルチプレクサMC213~MC216の出力が抑止される。この抑止は、図14（b）に示すように構成されたマルチプレクサMC213~MC216のイネーブル端子ENに

「0」を与えることにより行われる。これにより、分割領域Area13~Area16へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、これら分割領域Area13~Area16の中の全ての順序回路セル2の動作が停止される。なお、マルチプレクサMC313~MC316の出力を抑止することによっても上記と同様の動作を行わせることができる。

【0051】なお、図13では示されていないが、8つの分割領域Area1~Area8に存在する全ての順序回路セル2が未使用であるとする、8つの分割領域Area1~Area8の順序回路セル2を駆動するた

めのマルチプレクサMC101~MC104の出力が抑止される。この抑止は、図14（a）に示すように構成されたマルチプレクサMC101~MC104のイネーブル端子ENに「0」を与えることにより行われる。これにより、分割領域Area1~Area8へのクロック信号の分配が停止され、換言すればクロック信号のスイッチングが停止され、これら分割領域Area1~Area8の中の全ての順序回路セル2の動作が停止される。この場合、マルチプレクサMC201~MC208又は又は301~MC308の出力を抑止することによっても上記と同様の動作を行わせることができる。

【0052】各マルチプレクサMC101~MC108、MC201~MC216及びMC301~MC316のイネーブル端子ENをストップ条件として「1」及び「0」の何れに設定するかは、半導体集積回路の仕様によって決まる。そして、イネーブル端子ENの設定は、チップ上に順序回路セル2及び組合せ回路セル3を形成した後の配線工程時に行われる。

【0053】すなわち、配置工程が完了すると、順序回路セル2が1つも使用されていない分割領域が存在するかどうか調べられる。そして、順序回路セル2が1つも使用されていない分割領域が存在することが判断されると、その分割領域にクロック信号を分配するマルチプレクサのイネーブル端子ENが「0」に設定される。

【0054】例えば、図13に示した例では、分割領域Area6に順序回路セル2が1つも使用されていないことが判断されるのでマルチプレクサMC306のイネーブル端子ENが「0」に設定される。また、分割領域Area1及びArea2に順序回路セル2が1つも使用されていないことが判断されるのでマルチプレクサMC301及びMC302又はマルチプレクサMC201及びMC202のイネーブル端子ENが「0」に設定される。更に、分割領域Area13~Area16に順序回路セル2が1つも使用されていないことが判断されるのでマルチプレクサMC313~MC316又はマルチプレクサMC213~MC216のイネーブル端子ENが「0」に設定される。そして、上記以外のマルチプレクサのイネーブル端子ENは「1」に設定される。

【0055】上記イネーブル端子ENの設定は、配線パターンをイネーブル端子ENに接続することで行い、イネーブル端子ENを「1」に設定する場合は、電源につなが配線パターンを接続し、「0」に設定する場合は接地につなが配線パターンを接続することにより行われる。

【0056】以上説明したように、この第3の実施の形態に係る半導体集積回路によれば、未使用の順序回路セル2だけから成る分割領域へのクロック信号の分配は停止されるので未使用の順序回路セル2の動作が停止され、上述した第1の実施の形態の場合と同様に、従来に

比べて半導体集積回路全体としての消費電力を低減させることができる。

【0057】

【発明の効果】本発明によれば、半導体チップ上の内部コア領域に順序回路セルと組合せ回路セルとを交互に配置し、内部コア領域を均等に分割した分割領域毎に多相クロック信号を選択的に分配する、ツリー状に接続された複数の選択駆動素子とを設け、複数の選択駆動素子を、半導体チップに多相クロック信号が入力される入力端子から各分割領域内の順序回路セルまでの間が互いに等負荷・等配線長となるように配置接続することにより、多相クロック信号に対応した等負荷・等配線長のクロックツリー構造を実現することができ、各順序回路間のクロックスキューを低減することができる。

【0058】また、順序回路セルに、クロック入力部の初段に配置される第1の論理ゲート素子と、第2の論理ゲート素子とを設け、使用する順序回路セルについては第1の論理ゲート素子の出力端子と第2の論理ゲート素子の入力端子間を配線接続し、使用しない順序回路セルについては第1の論理ゲート素子の出力端子と第2の論理ゲート素子の入力端子間を未配線として、第2の論理ゲート素子の入力端子を電源又は接地と接続するようにしたことにより、未使用の順序回路セルで消費される電力を低減することができるので、等負荷構造を保ちつつ、消費電力の損失を最小限に抑えることができる。

【0059】また、順序回路セルに、クロック入力部の初段に配置され、多相クロック信号に応じて出力電位が決まる第1の状態と多相クロック信号に関係なく出力電位が一定となる第2の状態とをイネーブル信号によって選択可能な第1の論理ゲート素子と、入力端子が第1の論理ゲート素子の出力端子と接続される第2の論理ゲート素子とを備え、使用する順序回路セルについては第1の論理ゲート素子が第1の状態となるようイネーブル信号を設定し、使用しない順序回路セルについては第1の論理ゲート素子が第2の状態となるようイネーブル信号を設定することにより、未使用の順序回路セルで消費される電力を低減することができるので、等負荷構造を保ちつつ、消費電力の損失を最小限に抑えることができる。

【0060】更に、複数の選択駆動素子の中の1つの選択駆動素子から下流側の分割領域内に配置された順序回路セルが1つも使用されない場合に、1つの選択駆動素子の出力を抑止するように構成したので、未使用の順序回路セルで消費される電力を低減することができ、等負荷構造を保ちつつ、消費電力の損失を最小限に抑えることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態となるマスタースライス方式の半導体集積回路のチップ構造を示す平面図

である。

【図2】 本発明の第1の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

【図3】 本発明の第1の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

【図4】 本発明の第1の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

【図5】 本発明の第1の実施の形態におけるクロックツリー構造の回路構成を示す回路図である。

10 【図6】 クロック分配用高駆動マルチプレクサの制御信号とチップ上の各領域に分配されるクロック信号との関係を示す図である。

【図7】 本発明の第1の実施の形態において順序回路セルの1構成例を示す回路図及び順序回路セルの回路記号を示す図である。

【図8】 本発明の第1の実施の形態において順序回路セルのクロック入力部の動作を示す図である。

【図9】 本発明の第1の実施の形態において余剰順序回路セルの非負荷トランジスタを示す図である。

20 【図10】 本発明の第2の実施の形態となる順序回路セルの回路図及び順序回路セルの回路記号を示す図である。

【図11】 本発明の第2の実施の形態において順序回路セルのクロック入力部の動作を示す図である。

【図12】 本発明の第2の実施の形態において余剰順序回路セルの非負荷トランジスタを示す図である。

【図13】 本発明の第3の実施の形態において余剰順序回路セルの動作を停止させる状態を説明するための図である。

30 【図14】 本発明の第3の実施の形態において余剰順序回路セルの動作を停止させるためのセレクトの構成を示す図である。

【図15】 従来のマスタースライス方式の半導体集積回路のチップ構造を示す平面図及び半導体集積回路のトランジスタセルを拡大した平面図である。

【図16】 従来のマスタースライス方式の半導体集積回路におけるクロック分配方法を示す平面図である。

【図17】 従来の他のマスタースライス方式の半導体集積回路のチップ構造を示す平面図である。

40 【符号の説明】

1…半導体集積回路

2…順序回路セル

3…組合せ回路セル

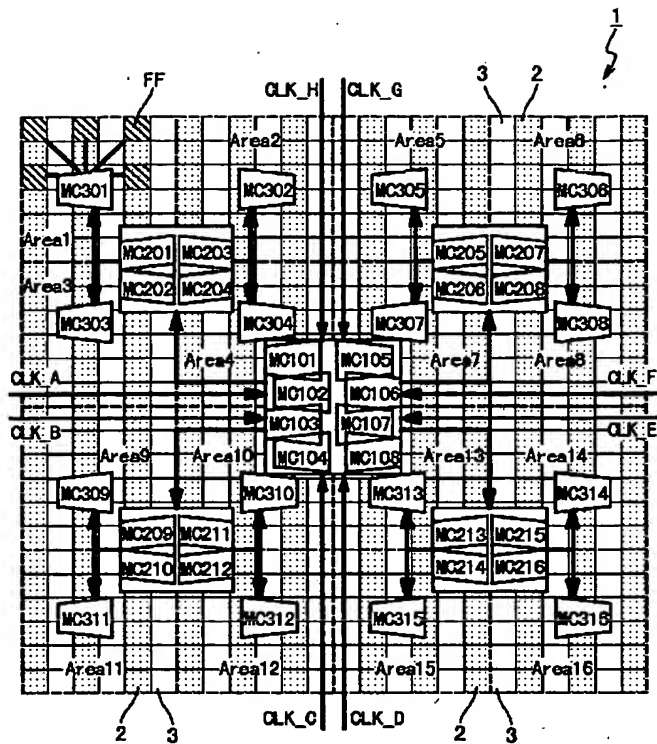
Area1～Area16…領域

CLK_A～CLK_H…多相クロック信号

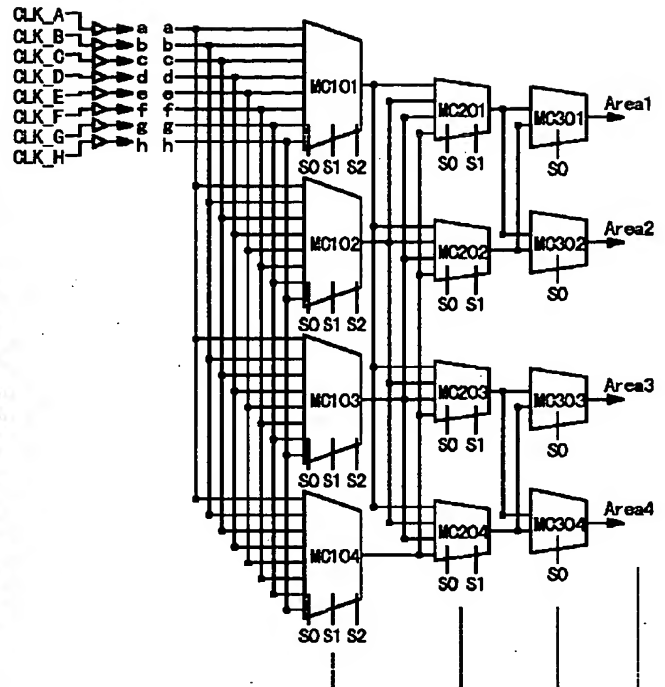
MC101～MC108、MC201～MC216、M

C301～MC316…クロック分配用高駆動マルチプレクサ

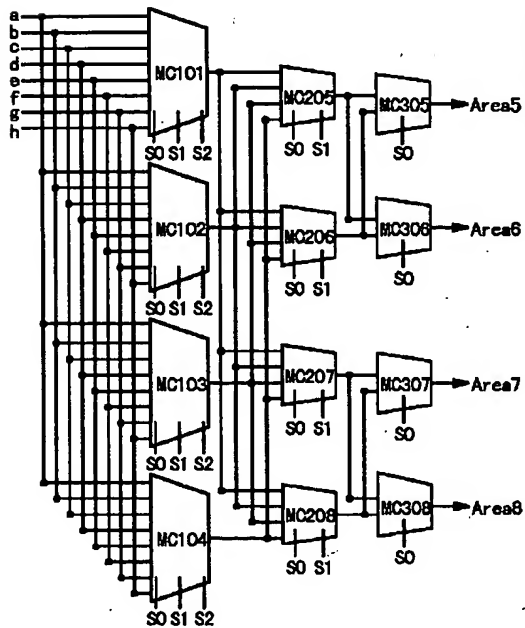
【図 1】



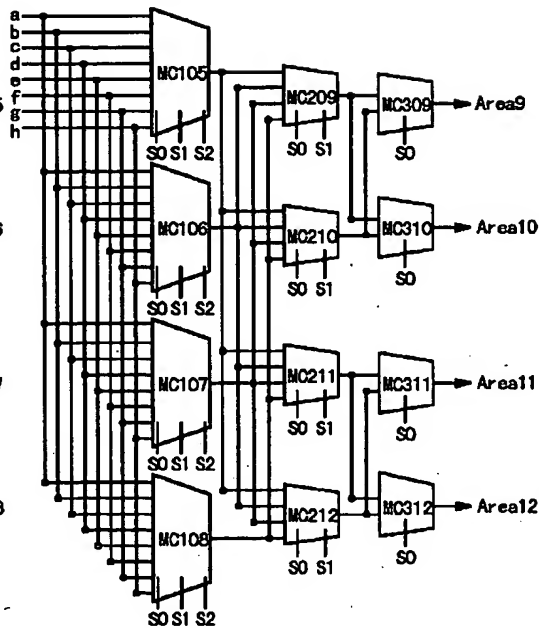
【図 2】



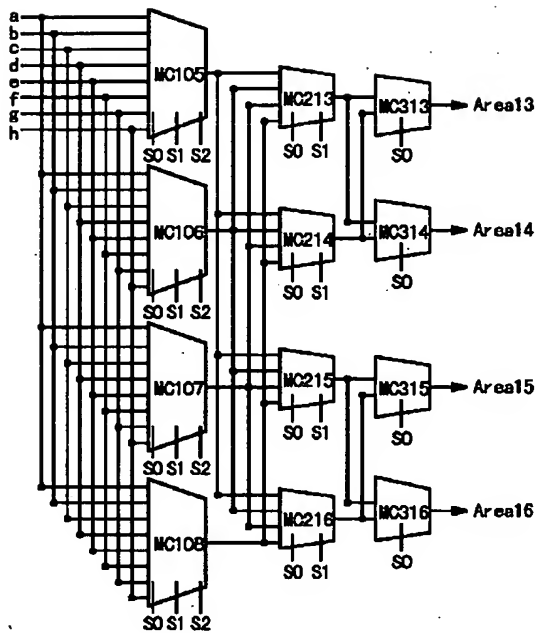
【図 3】



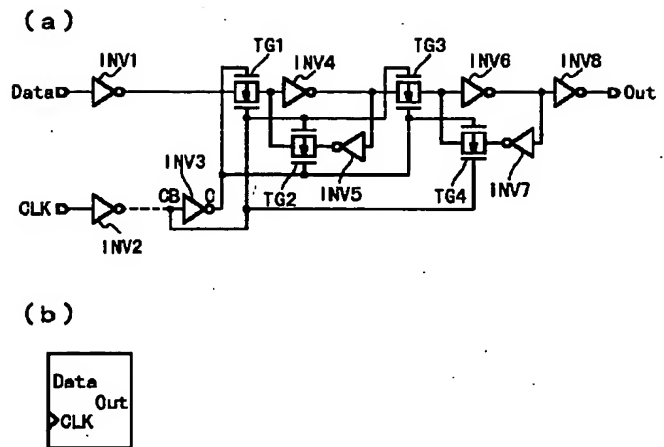
【図 4】



【図 5】



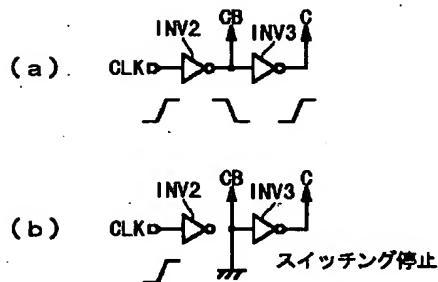
【図 7】



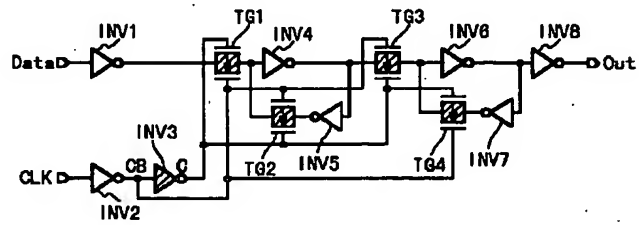
【図 6】

クロック分配用高駆動マルチプレクサの各制御信号																各領域に分配されるクロック信号			
MC101	MC102	MC103	MC104	MC201	MC202	MC203	MC204	MC301	MC302	MC303	MC304					Area1	Area2	Area3	Area4
SO	S1	S2	SO	S1	S2	SO	S1	S2	SO	S1	S2	SO	S1	S2	SO	(CLK_A)	(CLK_B)	(CLK_C)	(CLK_D)
0	0	0	0	0	1	0	1	0	0	1	1	0	0	0	1	a	a	c	c
																(CLK_A)	(CLK_B)	(CLK_C)	(CLK_D)
																b	a	d	c
																(CLK_B)	(CLK_A)	(CLK_D)	(CLK_C)
																b	b	d	d
																(CLK_B)	(CLK_B)	(CLK_D)	(CLK_D)

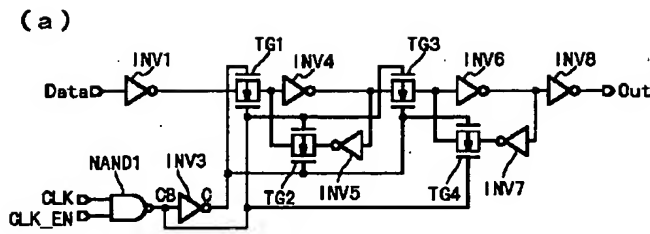
【図 8】



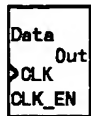
【図 9】



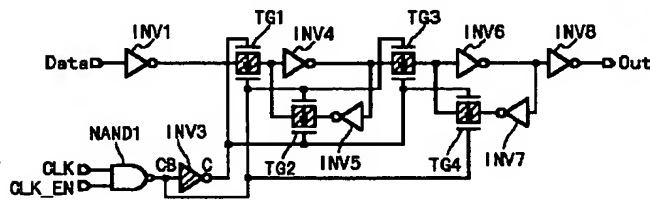
【図10】



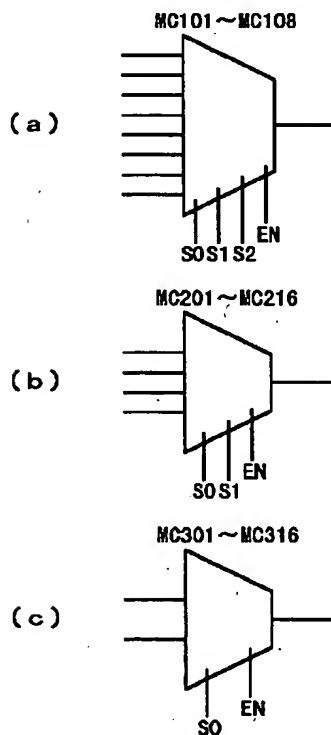
(b)



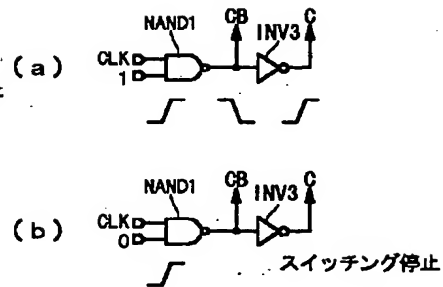
【図12】



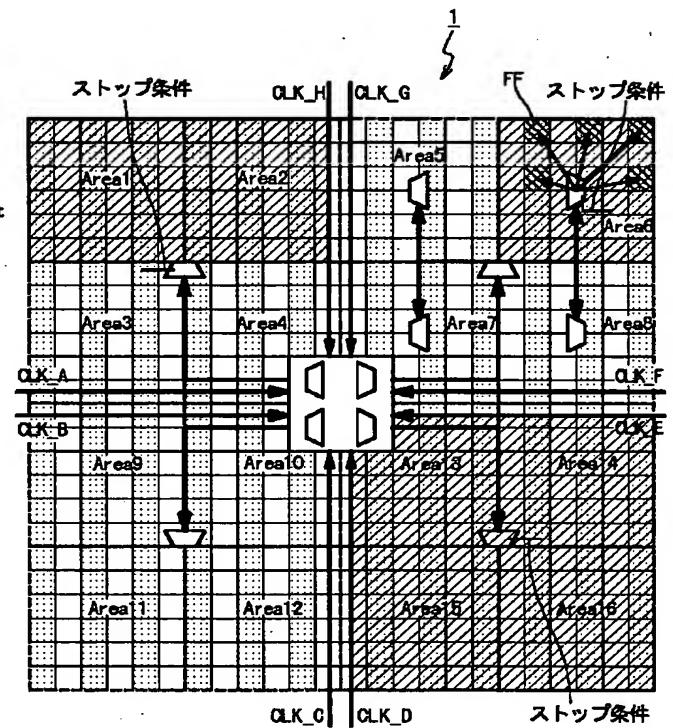
【図14】



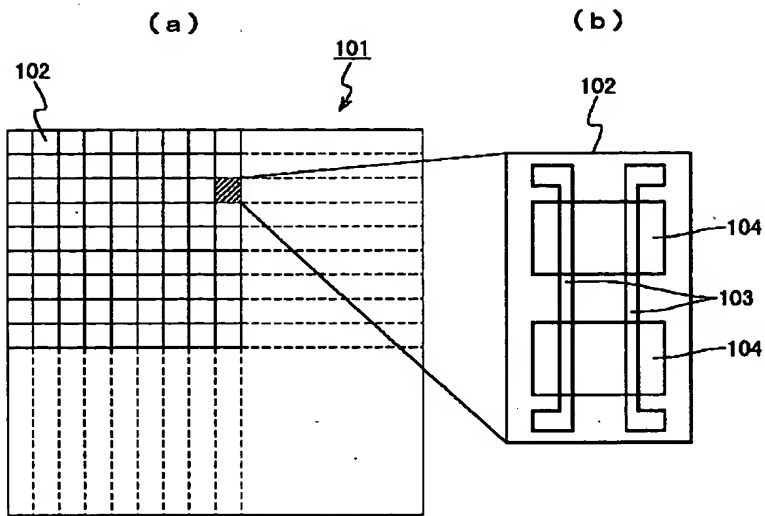
【図11】



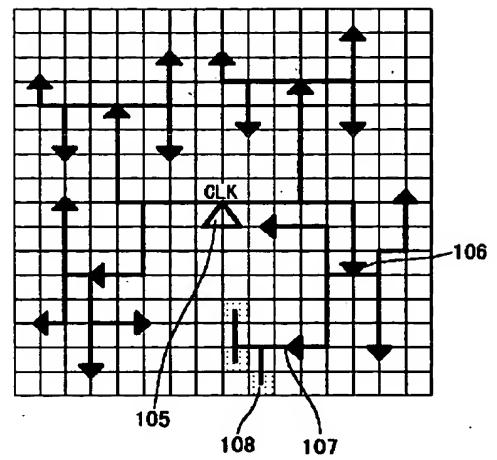
【図13】



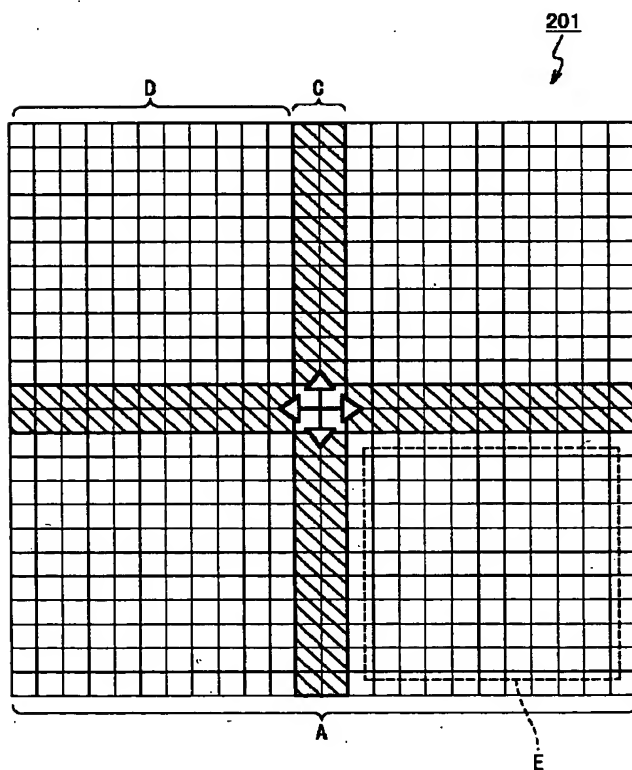
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H O I L 27/04

テーマコード (参考)

D
F

(72)発明者 前田 直孝
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5F038 CA03 CA05 CA07 CA17 CD06
CD09 DF08 EZ09 EZ20
5F064 AA03 BB02 BB05 BB07 BB19
DD02 DD03 DD05 DD22 DD24
DD26 EE02 EE03 EE06 EE08
EE18 EE47 EE54 HH12